

FEDERAL REPUBLIC  
OF GERMANY

**Patent**  
**DE 198 57 043 C1**

Int. Cl.<sup>7</sup>:  
**H 01 L 23/66**  
H 01 L 23/50  
H 01 L 23/02

GERMAN  
PATENT OFFICE

File Number: 198 57 043.0-33  
Date filed: 10 Dec 1998  
Date laid open: —  
Date of publication of  
patent grant: 2 Mar 2000

Objection may be filed within 3 months from publication of patent grant.

Patent Holder:  
Siemens AG, 80333 Munich, DE [Germany]

Inventors:  
Reindl, Hartwig, 90537 Feucht, DE [Germany];  
Zuber, Wilhelm, 93053 Regensburg, DE [Germany]

References cited for evaluating patentability:  
DE 197 28 692 A1  
JP 1-27251 A — in: Patent Abstracts of Japan,  
Sect. E. Vol. 13 (1989) No. 216 (E-760)

**Circuit configuration for interference suppression of integrated circuits**

A low-inductance capacitor (12) is integrated into the housing (3) of a microchip (4). The capacitance connections (10, 11) of the low-inductance capacitor (12) are radially connected on the one hand via bond wires (5) with the ground and supply voltage bond points (1, 2) of the microchip (4) and on the other hand via additional bond wires (13) with at least one supply voltage pin pair (6, 7). At least one reference potential connection (14) of the low inductance capacitor (12) is electrically conductively connected with a floating ground (16).

### Description

The invention relates to a circuit configuration for interference suppression of integrated circuits.

Increasing performance requirements of modern electronic systems, e.g. control devices, require increasingly more powerful integrated circuits (ICs). The computing capacity of microcomputers is constantly being increased by continuously reducing the chip structures, introducing new semiconductor technologies and increasing the system clock frequencies. On the other hand, the very fast pulse rise and fall times of these microcomputers generate narrowband interference signals, e.g. in the frequency range of between 30 MHz and 1 GHz, which are emitted through the power supply wiring of the microcomputer, among other things. Modern microcomputers thus represent a significant source of interference for surrounding electronic components, particularly radio receivers.

To meet today's high EMC requirements of electronic systems, effective and reliable interference suppression of IC components is indispensable. For interference suppression of microcomputers, it is known in the art to separate the voltage supply of the individual function blocks, e.g. CPU, clock generator and memory, and to provide several supply voltage connections with smoothing capacitors (block capacitors) connected in parallel on the microcomputer. Furthermore, metal housings, referred to as tuner boxes, additional input/output filters, and printed circuit boards with multilayer design are provided to ensure sufficient interference suppression. Such interference measures are described in the publication by W. Grözinger, "Elektromagnetische Verträglichkeit von integrierten Schaltkreisen" [Electromagnetic Compatibility of Integrated Circuits], VDI Berichte No. 1152, 1994, pp. 441 to 465. Despite these very costly measures, this type interference suppression of microcomputers occasionally fails to meet EMC requirements.

An integrated circuit, e.g. a microcomputer, has many individual internal interference sources, e.g. clock generator or CPU. The emission behavior thereby decisively depends on the rise and fall rates of the supply current, i.e. the greater the edge steepness  $dI/dt$ , the greater the noise emission. To prevent the latter from being distributed via the supply wiring over the entire printed circuit board and ultimately over the entire electronic system, a block capacitor, which acts as an energy reserve for fast current requirements, is typically connected in parallel to each supply voltage pin pair on the IC housing.

The effect of this block capacitor thereby substantially depends on its self-inductance and the connection inductances. The lower the inductive component is, the better is the efficiency of the block capacitor in the higher frequency ranges. Since the inductive component, however, cannot be reduced at will due to technical limitations – known configurations fall within the range of 10 nH – fast energy requirements in such a configuration are not only covered by the block capacitor but are also supplied via large-area and thus low-impedance reverse current paths (grounds) partly from the power supply, so that an interference signal is distributed over the entire electronic system.

DE 197 28 692 A1 describes an IC chip in which one or several electronic components are accommodated within the housing in the immediate vicinity of the integrated circuit. By

relocating components that are normally provided outside the IC chip to the interior of the chip, the IC chip can be used even at the highest frequencies and operating speeds.

Furthermore, from JP 1-27251 A in: Patent Abstracts of Japan, Sect. E. Vol. 13 (1989) No. 216 (E-760), it is known to provide a capacitor on the substrate element of a microchip and thus to decrease inductance and reduce interference signals.

The object of the invention is to develop a circuit configuration that ensures reliable interference suppression of integrated circuits.

This object is attained according to the invention by a circuit configuration with the features of Claim 1. Advantageous further developments of the invention are set forth in the subclaims.

Capacitance networks, e.g. Syfer's X2Y 3 terminal capacitor, are known in the art today and due to their special symmetrical structure and the mutual cancellation of the magnetic fields connected therewith, have very low self-inductance – in the range of 50 pH. Such capacitance networks are hereinafter generally referred to as low inductance capacitors. According to the invention, such a low-inductance capacitor is integrated in the housing of an IC, and all power supply bond points of the microchip are radially connected via bond wires with the low-inductance capacitor. This arrangement within the IC housing also causes the connection inductance to be significantly reduced compared to conventional structures. The low-inductance capacitor then provides the energy that is quickly required by various function blocks immediately on the microchip within the requisite time. On the outside of the housing, only a voltage supply pin pair is required to connect the supply leads. This pin pair is also connected to the low-inductance capacitor via bond wires. Thus all the other previously used supply voltage pins on the IC housing are available for other functions. No additional smoothing capacitors are required, which saves a substantial amount of space on the printed circuit board. The heretofore unequaled low inductance connection of the energy reserve for fast current requirements reduces the interference voltages to the point where additional interference suppression measures, e.g. the use of multilayer printed circuit boards, can frequently be dispensed with.

An exemplary embodiment of the invention will now be described by means of the figures in which:

Fig. 1 is a schematic representation of a prior art circuit configuration for interference suppression of an integrated circuit and

Fig. 2 is a schematic representation of a circuit configuration according to the invention for interference suppression of an integrated circuit.

To provide a better understanding of the invention, a prior art circuit configuration for interference suppression of an integrated circuit with separate voltage supply will now be described by means of Fig. 1. Supply voltage bond points 1 and ground bond points 2 of a microchip 4 arranged in an IC housing 3 are connected via bond wires 5 with the supply voltage connections 6 and the ground connections 7 brought out of the IC housing. This makes it possible to supply different function blocks of microchip 4 with a voltage separately from each other and thus to reduce the interference emission of the IC. However, fast current requirements of individual function blocks and the edge steepness ( $dI/dt$ ) connected therewith nevertheless result in high frequency interference voltages that with direct supply from a power supply (not

depicted) are distributed over the entire electronic system, e.g. a control device, via the low-impedance ground leads. This is why a block capacitor 8 is connected in parallel to each terminal pair 6, 7 to act as an energy reserve for currents that are quickly required by the corresponding function block.

A circuit configuration according to the invention is depicted in Fig. 2. Components that coincide with the parts shown in Fig. 1 carry identical reference numbers. The supply voltage bond points 1 and the ground bond points 2 of microchip 4 are radially connected via bond wires 5 with capacitance connections 10 and 11 of a low-inductance capacitor 12.

Radially in this case means that all supply voltage bond points 1 are connected with the one connection, e.g., capacitance connection 10, and all ground bond points 2 are connected with the other connection, e.g. capacitance connection 11. Via additional bond wires 13, capacitance connections 10 and 11 of the low inductance capacitor 12 are connected with a supply voltage pin pair 6, 7 brought out of IC housing 3. Capacitance connection 10 connected with supply voltage bond points 1 is thereby connected to supply voltage connection 6, and capacitance connection 11 connected with ground bond points 2 is connected to ground connection 7. At least one, but preferably two, reference potential connections 14 of capacitance network 12 are electrically conductively connected with a floating ground 16 which has no galvanic connection to the ground leads serving as reverse current path.

Since the low inductance capacitor 12 integrated in IC housing 3 already provides the energy for the fast current requirements of all functional units on microchip 4, no external block capacitors are required. Additional connections 6 and 7 that heretofore served for separate voltage supply of the individual function blocks are no longer required and can thus be used for other functions. If a supply voltage connection on IC housing 3 should not be sufficient to meet the current demand from the power supply in normal operation, i.e. with non-critical edge steepness of the current pulses, additional pin pairs 6, 7 can be connected via bond wires 13 to the low inductance capacitor 12.

Low inductance capacitor 12 is preferably constructed in thin film technology on a ceramic substrate, but can also be realized monolithically on a silicon chip.

The invention was described by way of example based on the figures for an integrated circuit with two separate supply voltage pin pairs, but it is also suitable for a higher number of supply voltage pin pairs as well as for integrated circuits that have no separate voltage supply.

### Claims

1. Circuit configuration for interference suppression of integrated circuits with
  - a microchip (4) arranged in an IC housing (3),
  - at least one supply voltage bond point (1) on micro chip (4) for connection to a supply voltage,
  - at least one ground bond point (2) on microchip (4) for connection to a ground potential,

- at least one supply voltage pin pair (6, 7) brought out of the IC housing (3), comprising a supply voltage connection (6) and a ground connection (7) to connect a supply lead or a ground lead, and
  - a low inductance capacitor (12) integrated in the IC housing (3), having
    - capacitance connections (10, 11) each radially connected via bond wires (5) with the supply voltage bond point (1) and ground bond point (1, 2) of the microchip (4), and via additional bond wires (13) with at least one supply voltage pin pair (6, 7), and
    - at least one reference potential connection (14) electrically conductively connected with a floating ground (16).
2. Circuit configuration as claimed in Claim 1, characterized in that the low inductance capacitor (12) is realized monolithically on a silicon chip.

2 pages of drawings

DE 198 57 043 C1

DRAWINGS PAGE 1

Number: **DE 198 57 043 C1**  
Int. Cl.<sup>7</sup>: **H 01 L 23/66**  
Laid open on: **2 Mar 2000**

FIG. 1

St. d. T. = prior art



19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

12 Patentschrift  
10 DE 198 57 043 C 1

61 Int. Cl.<sup>7</sup>:  
H 01 L 23/66  
H 01 L 23/50  
H 01 L 23/02

21 Aktenzeichen: 198 57 043.0-33  
22 Anmeldetag: 10. 12. 1998  
43 Offenlegungstag: -  
45 Veröffentlichungstag  
der Patenterteilung: 2. 3. 2000

DE 198 57 043 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

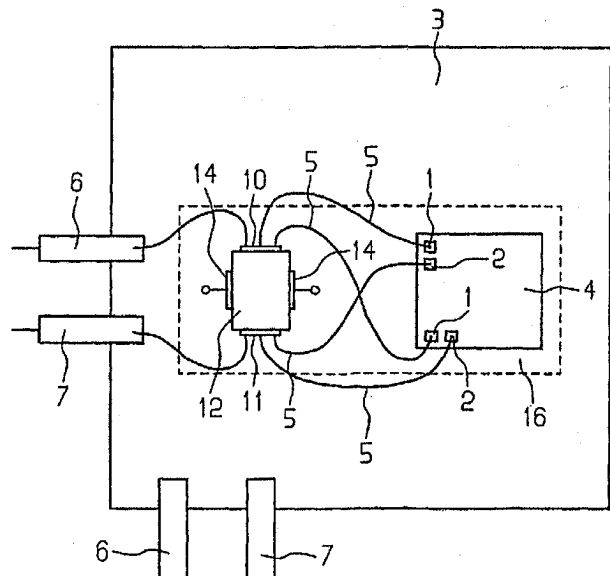
73 Patentinhaber:  
Siemens AG, 80333 München, DE

72 Erfinder:  
Reindl, Hartwig, 90537 Feucht, DE; Zuber, Wilhelm,  
93053 Regensburg, DE

56 Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:  
DE 197 28 692 A1  
JP 1-27251 A - in: Patents Abstracts of Japan,  
Sect. E, Vol. 13 (1989) No. 216 (E-760);

54 Schaltungsanordnung zum Entstören von integrierten Schaltkreisen

67 In das Gehäuse (3) eines Mikroschaltbausteins (4) ist ein Niederinduktivitäts-Kondensator (12) integriert. Die Kapazitätsanschlüsse (10, 11) des Niederinduktivitäts-Kondensators (12) sind über Bonddrähte (5) einerseits sternförmig mit den Masse- und Versorgungsspannungs-Bondstellen (1, 2) des Mikroschaltbausteins (4) und andererseits über weitere Bonddrähte (13) mit mindestens einem Versorgungsspannungs-Pinpaar (6, 7) verbunden. Mindestens ein Bezugspotential-Anschluß (14) des Niederinduktivitäts-Kondensators (12) ist elektrisch leitend mit einer schwebenden Massefläche (16) verbunden.



DE 198 57 043 C 1

## Beschreibung

Die Erfindung betrifft eine Schaltungsanordnung zum Entstören von integrierten Schaltkreisen.

Die zunehmenden Anforderungen an die Leistungsfähigkeit moderner elektronischer Systeme, wie z. B. Steuergeräte, machen immer leistungsfähigere integrierte Schaltkreise (IC) erforderlich. So wird die Rechenleistung von Mikrocomputern durch stetige Verkleinerung der Chip-Strukturen, durch Einführung neuer Halbleitertechnologien und durch Steigerung der Systemtaktfrequenzen stetig verbessert. Andererseits führen die sehr schnellen Impulsanstiegs- und Impulsabfallzeiten derartiger Mikrocomputer zur Generierung schmalbandiger Störsignale, z. B. im Frequenzbereich zwischen 30 MHz und 1 GHz, die unter anderem über die Stromversorgungsverdrahtung des Mikrocomputers abgestrahlt werden. Somit stellen moderne Mikrocomputer eine erhebliche Störquelle für umliegende Elektronikkomponenten, insbesondere Funkempfangsanlagen dar.

Um den heutzutage hohen EMV-Anforderungen elektronischer Systeme gerecht zu werden, ist eine wirkungsvolle und zuverlässige Entstörung von IC-Bausteinen unerlässlich. Für die Entstörung von Mikrocomputern ist es bekannt, die Spannungsversorgung einzelner Funktionsblöcke, wie CPU, Taktgenerator und Speicher, zu trennen und mehrere Versorgungsspannungsanschlüsse mit parallel geschalteten Glättungskondensatoren (Blockkondensatoren) am Mikrocomputer vorzusehen. Desweiteren werden häufig Metallgehäuse, sogenannte Tuner-Boxen, zusätzliche Ein-/Ausgangsfiler und Leiterplatten in Multilayer-Ausführung vorgesehen, um eine ausreichende Entstörung sicherzustellen. Derartige Entstörmaßnahmen sind in der Druckschrift W. Grözing, "Elektromagnetische Verträglichkeit von integrierten Schaltkreisen", VDI Berichte Nr. 1152, 1994, Seiten 441 bis 465 beschrieben. Trotz dieser sehr kostenintensiven Maßnahmen genügt eine derartige Entstörung von Mikrocomputern bisweilen nicht den gestellten EMV-Anforderungen.

Ein integrierter Schaltkreis, z. B. ein Mikrocomputer, weist intern eine Vielzahl einzelner Störquellen, wie z. B. Taktgenerator oder CPU, auf. Dabei ist das Abstrahlverhalten in entscheidendem Maße von den Anstiegs- und Abfallgeschwindigkeiten des Versorgungsstroms abhängig, d. h. je größer die Flankensteilheit  $di/dt$  desto größer die Störabstrahlung. Um zu vermeiden, daß diese über die Versorgungsverdrahtung über die gesamte Leiterplatte und letztlich über das gesamte elektronische System verteilt wird, wird üblicherweise parallel zu jedem Versorgungsspannungs-Pinpaar am IC-Gehäuse ein Blockkondensator geschaltet, der als Energiereserve für einen schnellen Strombedarf dient.

Die Wirkung des Blockkondensators wird dabei im wesentlichen von seiner Eigeninduktivität und den Anschlußinduktivitäten bestimmt. Je geringer der induktive Anteil ist, desto besser ist die Wirkungsweise des Blockkondensators in höheren Frequenzbereichen. Da der induktive Anteil aber technologiebedingt nicht beliebig verkleinert werden kann – bekannte Anordnungen liegen im Bereich von 10 nH, wird ein schneller Energiebedarf bei einer derartigen Anordnung nicht allein aus dem Blockkondensator gedeckt, sondern über großflächige und damit niederimpedante Rückstrompfade (Masseflächen) teilweise aus dem Netzteil gespeist und somit ein Störsignal über das gesamte elektronische System verteilt.

In der DE 197 28 692 A1 ist ein IC-Baustein beschrieben bei dem innerhalb des Gehäuses in unmittelbarer Nähe zur integrierten Schaltung ein oder mehrere elektronische Bauelemente untergebracht sind. Durch die Verlegung von nor-

malerweise außerhalb des IC-Bausteins vorgesehenen Bauelementen in diesen hinein ist der IC-Baustein auch bei höchsten Frequenzen und Arbeitsgeschwindigkeiten einsetzbar.

Außerdem ist es aus JP 1-27251 A, in: Patents Abstract of Japan, Sect. E. Vol. 13 (1989) No. 216 (E-760) bekannt, auf dem Trägerelement eines Mikroschaltbausteins einen Kondensator vorzusehen, um so die Induktivität zu verringern und Störsignale zu reduzieren.

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung zu entwickeln, durch die eine zuverlässige Entstörung von integrierten Schaltkreisen gewährleistet ist.

Diese Aufgabe wird erfindungsgemäß durch eine Schaltungsanordnung mit den Merkmalen des Patentanspruchs 1 gelöst. Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen niedergelegt.

Heutzutage sind Kapazitätsnetzwerke, wie z. B. ein X2Y 3 Terminal Capacitor der Firma Syfer, bekannt, die aufgrund ihrer besonderen, symmetrischen Struktur und der damit verbundenen wechselseitigen Aufhebung von Magnetfeldern eine sehr geringe Eigeninduktivität – im Bereich von 50 pH – aufweisen. Derartige Kapazitätsnetzwerke werden im folgenden allgemein als Niederinduktivitäts-Kondensatoren bezeichnet. Erfindungsgemäß wird ein solcher Niederinduktivitäts-Kondensator in das Gehäuse eines IC's integriert und alle Stromversorgungsanschlüsse des Mikrochips werden über Bonddrähte sternförmig mit dem Niederinduktivitäts-Kondensator verbunden. Durch die Anordnung innerhalb des IC-Gehäuses wird auch die Anschlußinduktivität im Vergleich zu herkömmlichen Strukturen erheblich gesenkt. Der Niederinduktivitäts-Kondensator stellt dann die von verschiedenen Funktionsblöcken schnell benötigte Energie in der erforderlichen Zeit unmittelbar am Mikrochip zur Verfügung. An der Außenseite des Gehäuses ist nur noch ein Spannungsversorgungs-Pinpaar zum Anschluß der Versorgungsleitungen notwendig. Dieses Pinpaar ist über Bonddrähte ebenfalls mit dem Niederinduktivitäts-Kondensator verbunden. Somit stehen alle übrigen, bisher genutzten Versorgungsspannungs-Pins am IC-Gehäuse für andere Funktionen zur Verfügung. Ebenso sind keine zusätzlichen Glättungskondensatoren notwendig, was zu einer enormen Platzeinsparung auf der Leiterplatte führt. Durch den bisher unerreichten niederinduktiven Anschluß der Energiereserve für schnellen Strombedarf, werden die Störspannungen soweit verringert, daß häufig auf zusätzliche Entstörmaßnahmen, wie z. B. den Einsatz von Multilayer-Leiterplatten verzichtet werden kann.

Ein Ausführungsbeispiel der Erfindung wird im folgenden anhand der Figuren erläutert. Es zeigen:

**Fig. 1** eine schematische Darstellung einer bekannten Schaltungsanordnung zum Entstören eines integrierten Schaltkreises und

**Fig. 2** eine schematische Darstellung einer erfindungsgemäßen Schaltungsanordnung zum Entstören eines integrierten Schaltkreises.

Um das Verständnis der Erfindung zu erleichtern, sei eine bekannte Schaltungsanordnung zum Entstören eines integrierten Schaltkreises mit getrennter Spannungsversorgung anhand der **Fig. 1** erläutert. Versorgungsspannungs-Bondstellen **1** und Masse-Bondstellen **2** eines in einem IC-Gehäuse **3** angeordneten Mikroschaltbausteins (Mikrochip) **4** sind über Bonddrähte **5** mit den aus dem IC-Gehäuse herausgeführten Versorgungsspannungsanschlüssen **6** bzw. Masseanschlüssen **7** verbunden. Auf diese Weise werden verschiedene Funktionsblöcke des Mikroschaltbausteins **4** getrennt voneinander mit Spannung versorgt und dadurch die Störabstrahlung des IC's reduziert. Schneller Strombedarf einzelner Funktionsblöcke und die damit verbundenen



hohen Flankensteilheiten ( $dI/dt$ ) führen aber dennoch zu hochfrequenten Störspannungen, die bei direkter Speisung aus einem nicht dargestellten Netzteil über die niederimpedanten Masseleitungen über das gesamte elektronische System, z. B. ein Steuergerät, verteilt wird. Deshalb ist parallel zu jedem Anschlußpaar 6, 7 ein Blockkondensator 8 geschaltet, der als Energiereserve für schnellbenötigte Ströme der entsprechenden Funktionsblöcke dient.

Eine erfindungsgemäße Schaltungsanordnung ist in Fig. 2 dargestellt. Dabei sind Baugruppen, so weit sie mit den Teilen der Fig. 1 übereinstimmen, durch dieselben Bezugszeichen gekennzeichnet. Die Versorgungsspannungs-Bondstellen 1 und die Masse-Bondstellen 2 des Mikroschaltbausteins 4 sind über Bonddrähte 5 sternförmig mit den Kapazitätsanschlüssen 10 und 11 eines Niederinduktivitäts-Kondensators 12 verbunden.

Sternförmig heißt dabei, daß alle Versorgungsspannungs-Bondstellen 1 mit dem einen Anschluß, z. B. Kapazitätsanschluß 10, und alle Masse-Bondstellen 2 mit dem anderen Anschluß, z. B. Kapazitätsanschluß 11 verbunden sind. Über weitere Bonddrähte 13 sind die Kapazitätsanschlüsse 10 und 11 des Niederinduktivitäts-Kondensators 12 mit einem aus dem IC-Gehäuse 3 herausgeführten Versorgungsspannungs-Pinpaar 6, 7 verbunden. Dabei ist der mit den Versorgungsspannungs-Bondstellen 1 verbundene Kapazitätsanschluß 10 mit dem Versorgungsspannungsanschluß 6 und der mit den Masse-Bondstellen 2 verbundene Kapazitätsanschluß 11 mit dem Masseanschluß 7 verbunden. Mindestens ein, vorzugsweise aber zwei Bezugspotential-Anschlüsse 14 des Kapazitätsnetzwerks 12 sind elektrisch leitend mit einer erdfreien Massefläche 16 (floating ground) verbunden, die keine galvanische Verbindung zu den als Rückstrompfad dienenden Masseleitungen aufweist.

Da durch den in das IC-Gehäuse 3 integrierte Niederinduktivitäts-Kondensator 12 bereits die Energie für schnellen Strombedarf aller Funktionseinheiten auf dem Mikroschaltbaustein 4 zur Verfügung gestellt wird, sind keine externen Blockkondensatoren mehr nötig. Weitere Anschlüsse 6 und 7, die bisher zur getrennten Spannungsversorgung der einzelnen Funktionsblöcke dienten, sind nicht mehr notwendig und können somit für andere Funktionen genutzt werden. Sollte ein Versorgungsspannungsanschluß am IC-Gehäuse 3 nicht ausreichen, um den Strombedarf aus dem Netzteil im Normalbetrieb, also bei unkritischer Flankensteilheit der Stromimpulse zu liefern, können weitere Pinpaare 6, 7 über Bonddrähte 13 mit dem Niederinduktivitäts-Kondensator 12 verbunden werden.

Der Niederinduktivitäts-Kondensator 12 ist vorzugsweise in Dünnschichttechnik auf einem keramischen Substrat aufgebaut, kann aber auch monolithisch auf einem Silizium-Chip realisiert werden.

Die Erfindung wurde anhand der Figuren beispielhaft für einen integrierten Schaltkreis mit zwei getrennten Versorgungsspannungs-Pinpaaren beschrieben, eignet sich aber ebenso für eine höhere Anzahl von Versorgungsspannungs-Pinpaaren als auch für integrierte Schaltkreise, die keine getrennte Spannungsversorgung aufweisen.

#### Patentansprüche

##### 1. Schaltungsanordnung zum Entstören von integrierten Schaltkreisen mit

- einem Mikroschaltbaustein (4) (Mikrochip), der in einem IC-Gehäuse (3) angeordnet ist,
- mindestens einer Versorgungsspannungs-Bondstelle (1) auf dem Mikroschaltbaustein (4) zum Anschluß an eine Versorgungsspannung
- mindestens einer Masse-Bondstelle (2) auf dem

Mikroschaltbaustein (4) zum Anschluß an ein Massepotential,

- mindestens einem aus dem IC-Gehäuse (3) herausgeführten Versorgungsspannungs-Pinpaar (6, 7), bestehend aus einem Versorgungsspannungsanschluß (6) und einem Masseanschluß (7), zum Anschluß einer Versorgungs- bzw. einer Masseleitung, und

- einem in das IC-Gehäuse (3) integrierten Niederinduktivitäts-Kondensator (12), der aufweist

- Kapazitätsanschlüsse (10, 11), die jeweils über Bonddrähte (5) sternförmig mit der Versorgungsspannungs-Bondstelle (1) und Masse-Bondstelle (2) des Mikroschaltbausteins (4) und über weitere Bonddrähte (13) mit mindestens einem Versorgungsspannungs-Pinpaar (6, 7) verbunden sind, und
- mindestens einen Bezugspotential-Anschluß (14), der elektrisch leitend mit einer erdfreien Massefläche (16) verbunden ist.

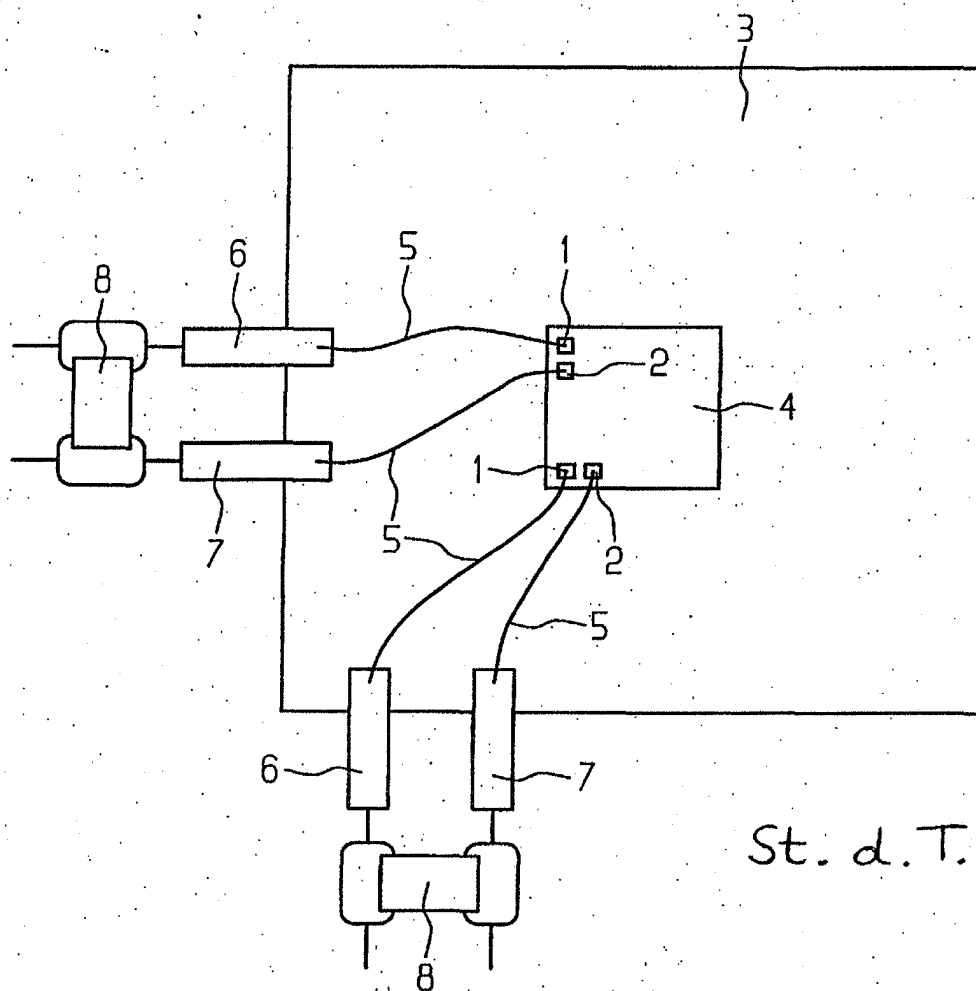
2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß der Niederinduktivitäts-Kondensator (12) monolithisch auf einem Silizium-Chip realisiert ist.

---

Hierzu 2 Seite(n) Zeichnungen

---

FIG 1



St. d. T.

FIG 2

